

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-140605

(43)公開日 平成6年(1994)5月20日

U.S. PTO  
22553  
19/766954(51)Int.Cl.<sup>5</sup>

H 0 1 L 27/118

27/04

識別記号

庁内整理番号

D 8427-4M

7377-4M

F I

H 0 1 L 21/ 82

技術表示箇所

M

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号

特願平4-86808

(22)出願日

平成4年(1992)4月8日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 藤波 義忠

東京都港区芝五丁目7番1号日本電気株式  
会社内

(74)代理人 弁理士 京本 直樹 (外2名)

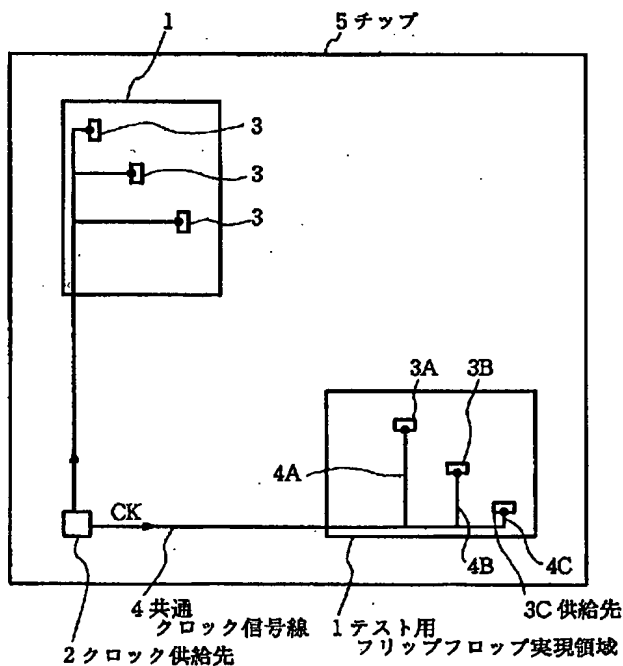
(54)【発明の名称】

ゲートアレイ

(57)【要約】

【構成】クロック供給元2からクロック信号線(4+4A), (4+4B)および(4+4C)により、テスト用フリップフロップ実現領域1のクロック供給先3A~3Cそれぞれへクロック信号CKが供給される。クロック供給元2から各クロック供給先3A~3Cへ至るクロック線の長さが等しくなるように、クロック信号線の経路を決定している。

【効果】チップ上のクロック信号線の占有率を減少する。



## 【特許請求の範囲】

【請求項1】 半導体チップ上の複数のフリップフロップにそれぞれクロック信号線を介してクロック信号を供給するクロック供給元を有するゲートアレイにおいて、前記クロック信号線は、共通クロック信号線と該共通クロック信号線から分岐する枝クロック信号線を有することを特徴とするゲートアレイ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はゲートアレイに関する。

【0002】

【従来の技術】 従来のマスタスライス方式の敷詰め型のゲートアレイは、論理回路設計終了後に、レイアウト設計時に各論理機能のチップ上の実現位置を決定し、各論理機能間の通常信号線とクロック信号線の結線を行っている。

【0003】 このチップ上の実現位置決定時にフリップフロップの位置が決定されクロック供給先3である図2に示すように各フリップフロップに供給されるクロック信号線4a～4cは、クロック供給元から各フリップフロップのクロック供給先3まで、すべてのクロック信号線4a～4cの長さが等しくなるようにチップ5a上において冗長な配線経路を探して結線を行い、各フリップフロップ間のタイミング動作を一致させていた。

【0004】

【発明が解決しようとする課題】 上述した従来の半導体集積回路は、クロック信号線をフリップフロップの実現位置決定後にクロック供給元から各クロック供給先まで等しい長さで結線するので、チップ上で実現される機能の増加にともないクロック信号線の本数の増加により困難となっており、実現機能の縮小もしくは信号配線領域にゆとりがもてる一周り大きなチップの利用が必須となっている。

【0005】 特に等しい長さでの結線はクロック供給元に近い位置におかれてはいる供給先論理回路に対して、最短距離でなく迂回した経路を取り、他供給先論理回路までの距離と等しい配線をするため配線領域を広く必要とする問題があった。

【0006】

【課題を解決するための手段】 本発明のゲートアレイ

は、半導体チップ上の複数のフリップフロップにそれぞれクロック信号線を介してクロック信号を供給するクロック供給元を有するゲートアレイにおいて、前記クロック信号線は、共通クロック信号線と該共通クロック信号線から分岐する枝クロック信号線を有して構成されている。

【0007】

【実施例】 図1は本発明の一実施例の半導体チップの平面模式図である。クロック供給元2からクロック信号線(4+4A)、(4+4B)および(4+4C)により、テスト用フリップフロップ実現領域1のクロック供給先3A～3Cそれぞれへクロック信号CKが供給される。

【0008】 クロック供給元2から各クロック供給先3A～3Cへ至るクロック線の長さが等しくなるように、クロック信号線の経路を決定している。

【0009】 すなわち、共通クロック信号線4と枝クロック信号線4Aの長さの和は図2の従来のクロック信号線4に対応する。他も同様であり、全てのクロック信号CICの遅延時間は同一である。

【0010】

【発明の効果】 以上説明したように本発明は、テスト用フリップフロップに供給されるクロック信号線を共通クロック信号線と枝クロック信号線を用いてクロック供給元よりクロック供給先まで、信号線の長さを等しくチップ上に形成しているので、チップ上のクロック信号線の占有率を減少する効果がある。

## 【図面の簡単な説明】

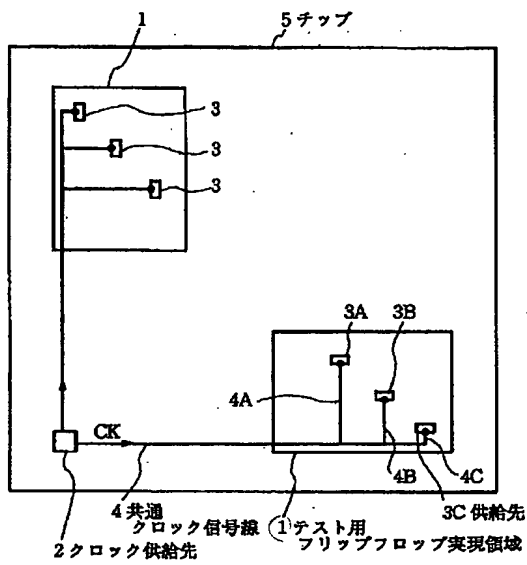
【図1】 本発明の一実施例の半導体チップの平面模式図である。

【図2】 従来のゲートアレイの一例の半導体チップの平面模式図である。

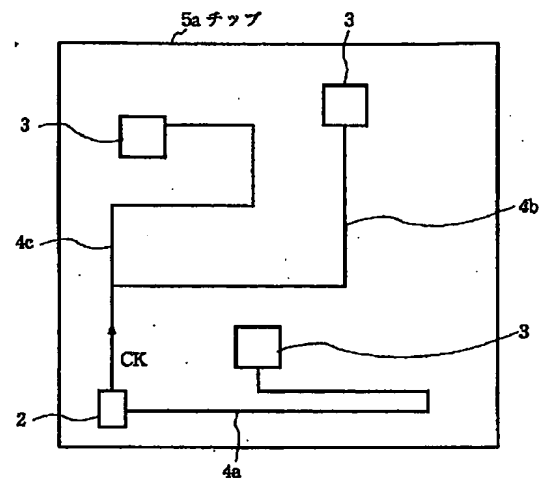
## 【符号の説明】

- 1 テスト用フリップフロップ実現領域
- 2 クロック供給元
- 3 クロック供給先
- 4 共通クロック信号線
- 4A～4C 枝クロック信号線
- 5 チップ領域
- CK クロック信号

【図1】



【図2】



**THIS PAGE BLANK (USPTO)**